

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

11267772

Basic Patent (No,Kind,Date): JP 5173179 A2 19930713 <No. of Patents: 002>

ACTIVE MATRIX SUBSTRATE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): INOUE SATOSHI

IPC: \*G02F-001/136; G09F-009/30; H01L-027/12; H01L-029/784

Derwent WPI Acc No: G 93-253653

JAPIO Reference No: 170586P000120

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 5173179	A2	19930713	JP 91343013	A	19911225	(BASIC)
JP 3072637	B2	20000731	JP 91343013	A	19911225	

Priority Data (No,Kind,Date):

JP 91343013 A 19911225

**CONSTITUTION:** In the active matrix substrate 1 in which a picture element part 2 containing a thin film transistor as a switch and peripheral circuit parts 31, 32 constituted by containing the thin film transistor are formed on the substrate 1, the thin film transistor of the picture element part 2 consists of an offset structure or an LDD structure, and the thin film transistor of the peripheral circuit parts 31, 32 consists of a structure in which end parts of source and drain areas 6S, 6D and an end part of a gate electrode are matched or superposed to each other. Since the thin film transistor of the picture element part 2 consists of the offset structure or the LDD structure, a turn-off current can be reduced, and on the other hand, since the thin film transistor of the peripheral circuit parts 31, 32 consists of a regular structure (structure in which the gate electrode 8 and the source and the drain areas 6S, 6D are matched or superposed to each other), a fall of the turn-on current can be prevented.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-173179

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
G 0 9 F 9/30	3 3 8	6447-5G		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A
			審査請求 未請求 請求項の数2(全 4 頁)	

(21)出願番号 特願平3-343013

(22)出願日 平成3年(1991)12月25日

(71)出願人 000002369

セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72)発明者 井上 聡

長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

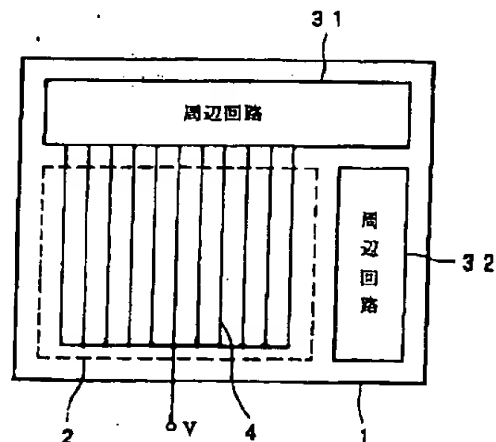
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 アクティブマトリクス基板

(57)【要約】

【目的】 アクティブマトリクス型液晶表示装置に用いるアクティブマトリクス基板を改良する。

【構成】 基板上に、スイッチとしての薄膜トランジスタを含む画素部と、薄膜トランジスタを含んで構成された周辺回路部とが形成されたアクティブマトリクス基板において、画素部の薄膜トランジスタはオフセット構造またはLDD構造とされ、周辺回路部の薄膜トランジスタはソースおよびドレイン領域の端部とゲート電極の端部とが整合または重なり合う構造とされている。画素部の薄膜トランジスタはオフセット構造あるいはLDD構造とされるので、オフ電流の低減が可能であり、これに対して、周辺回路部の薄膜トランジスタは通常の構造(ゲート電極とソース、ドレイン領域が整合または重なり合う構造)とされるので、オン電流の低下を防止できる。



(2)

特開平05-173179

## 【特許請求の範囲】

【請求項1】 基板上に、スイッチとしての薄膜トランジスタを含む画素部と、薄膜トランジスタを含んで構成された周辺回路部とが形成されたアクティブマトリクス基板において、

前記画素部の薄膜トランジスタはオフセット構造またはLDD構造とされ、前記周辺回路部の薄膜トランジスタはソースおよびドレイン領域の端部とゲート電極の端部とが整合または重なり合う構造とされていることを特徴とするアクティブマトリクス基板。

【請求項2】 前記周辺回路部と前記画素部の薄膜トランジスタの有するゲート電極が同一材料で構成され、前記画素部の薄膜トランジスタのゲート電極のみが陽極酸化されている請求項1記載のアクティブマトリクス基板。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス基板に関し、例えばアクティブマトリクス型液晶表示装置に用いられる。

【0002】

【従来の技術】 アクティブマトリクス型液晶表示装置として、基板上に周辺回路部を内蔵したものが知られている。ここで、周辺回路部にはアクティブマトリクス基板の走査線（ゲート線）に駆動信号を供給する駆動（ドライバ）回路と、データ線（ソース線）に表示信号を供給する表示データ出力回路とが含まれる。

【0003】 ところで画素部にスイッチとして用いられる薄膜トランジスタには、オフ電流の小さいことが要求されるため、オフセット構造（ゲート電極とソース、ドレイン領域が非整合である構造）あるいはLDD構造の薄膜トランジスタをアクティブマトリクス型液晶表示装置に用いることが検討されている。

【0004】

【発明が解決しようとする課題】 しかし、オフセット構造あるいはLDD構造の薄膜トランジスタを画素部だけでなく周辺回路部にも用いると、オフ電流は低下するもののオン電流も低下してしまうため、内蔵のドライバ回路の性能を十分にすることができない。そこで本発明は、画素部と周辺回路部のそれぞれにおいて、薄膜トランジスタに要求される仕様を十分に満足させることのできるアクティブマトリクス基板を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明に係るアクティブマトリクス基板は、基板上に、スイッチとしての薄膜トランジスタを含む画素部と、薄膜トランジスタを含んで構成された周辺回路部とが形成された基板において、画素部の薄膜トランジスタはオフセット構造またはLDD構造とされ、周辺回路部の薄膜トランジスタはソースお

よびドレイン領域の端部とゲート電極の端部とが整合または重なり合う構造とされていることを特徴とする。

【0006】 ここで、周辺回路部と画素部の薄膜トランジスタの有するゲート電極が同一材料で構成され、画素部の薄膜トランジスタのゲート電極のみが陽極酸化されていてもよい。

【0007】

【作用】 本発明の構成によれば、画素部の薄膜トランジスタはオフセット構造あるいはLDD構造とされるので、オフ電流の低減が可能であり、これに対して、周辺回路部の薄膜トランジスタは通常の構造（ゲート電極とソース、ドレイン領域が整合または重なり合う構造）とされるので、オン電流の低下を防止できる。

【0008】

【実施例】 以下、添付図面により本発明の実施例を説明する。

【0009】 図1は実施例に係るアクティブマトリクス基板の平面図である。図示の通り、ガラスあるいはセラミックスなどの基板1上には、画素部2と周辺回路部3 1、3 2が形成されている。画素部2には複数本の走査線4が平行に配設され、スイッチ用の薄膜トランジスタのゲート電極（図示せず）に接続されると共に、ドライバとしての周辺回路部3 1の出力に接続されている。また、走査線4の他端は共通接続され、陽極酸化電圧Vが印加される構造になっている。なお、表示データ出力回路としての周辺回路部3 2の入力には、走査線4と直交するデータ線（図示せず）が接続されている。

【0010】 上記の実施例において、周辺回路部3 1、3 2の薄膜トランジスタは図2（a）のように構成される。すなわち、基板1上にポリシリコンなどの半導体薄膜6が形成され、その上面にSiO<sub>2</sub>などのゲート絶縁膜7が形成され、チャネル領域6Cのゲート絶縁膜7上にはタンタル、アルミニウム、ニオブ、ポリシリコンなどのゲート電極8が形成されている。

【0011】 ここで、特徴的なことは、半導体薄膜6におけるn<sup>+</sup>型のソース領域6Sとドレイン領域6Dの端部が、絶縁膜7をはさんでゲート電極8と位置的に整合していることである。なお、端部で重なり合う構造となってもよい。このため、周辺回路部3 1、3 2における薄膜トランジスタは、オフ電流はそれほど小さくないものの、オン電流が大きくされている。

【0012】 一方、上記実施例において、画素部2の薄膜トランジスタは図2（b）、（c）のようになっている。すなわち、n<sup>+</sup>型のソース領域6Sおよびドレイン領域6Dの端部がゲート電極8から離れたオフセット構造となり、あるいはソース領域6Sおよびドレイン領域6Dとi型のチャネル領域6Cとの間に低ドーパのn<sup>-</sup>型ライトドープド領域6Lが介在されてLDD構造となっている。このため、オン電流はそれほど大きくないものの、オフ電流は低く抑えられている。

(3)

特開平05-173179

【0013】上記のようなオフセット構造あるいはLDD構造の薄膜トランジスタは、例えば図3～図5のようにして形成される。図3(a)のように、タンタルなどのゲート電極8をマスクとしてイオン注入し、i型の半導体薄膜6に $n^+$ 型のソース領域6Sおよびドレイン領域6Dを自己整合的に形成する。次に、ゲート電極8を陽極酸化すると、酸化タンタル( $Ta_2O_5$ )の絶縁膜81が形成され、ゲート電極8が細らされてオフセット構造が実現される(図3(b)図示)。

【0014】図4(a)のように、絶縁膜7上にゲート電極8を形成した後、同図(b)のように陽極酸化で酸化タンタル( $Ta_2O_5$ )の絶縁膜81を形成し、イオン注入しても、同様にオフセット構造が得られる。

【0015】図5(a)のように、絶縁膜7上のゲート電極8をマスクとして低濃度のイオン注入を行ない、ソース領域6Sとドレイン領域6Dを $n^-$ 型とする。次に、同図(b)のように、ゲート電極8を陽極酸化し、酸化タンタル( $Ta_2O_5$ )の絶縁膜81をマスクとして高濃度のイオン注入をすると、 $n^+$ 型のソース領域6Sおよびドレイン領域6Dとi型のソース領域6Sの間に、 $n^-$ 型のライトリド領域6Lが介在されたLDD構造が実現される。

【0016】なお、実施例では陽極酸化によるオフセット構造およびLDD構造の形成を示したが、他の手法を用いてもよい。例えば、画素部2の薄膜トランジスタについてのみ、ゲート電極8の側壁に $SiO_2$ を残してイオン注入し、あるいはゲートマスクを有するゲート電極をサイドエッチングでアンダーカットしてからイオン注入し、オフセット構造やLDD構造としてもよい。但

し、陽極酸化の膜厚は印加電圧で自由にコントロールできるので、制御性に優れている。

【0017】

【発明の効果】以上の通り、本発明のアクティブマトリクス基板では、画素部の薄膜トランジスタはオフセット構造あるいはLDD構造とされるので、オフ電流の低減が可能であり、これに対して、周辺回路部の薄膜トランジスタは通常の構造(ゲート電極とソース、ドレイン領域が整合または重なり合う構造)とされるので、オン電流の低下を防止できる。このため、画素部の薄膜トランジスタに要求される仕様と、周辺回路部の薄膜トランジスタに要求される仕様を同時に満足させることができる。

【図面の簡単な説明】

【図1】実施例に係るアクティブマトリクス基板の平面図である。

【図2】実施例に用いる薄膜トランジスタの断面図である。

【図3】オフセット構造の薄膜トランジスタの製法の一例を示す図である。

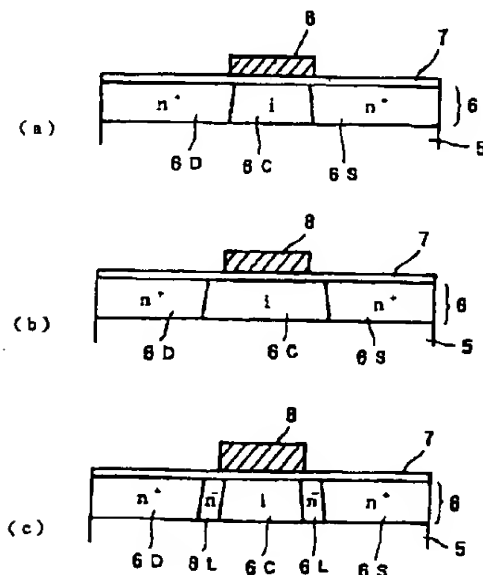
【図4】オフセット構造の薄膜トランジスタの製法の他の例を示す図である。

【図5】LDD構造の薄膜トランジスタの製法の一例を示す図である。

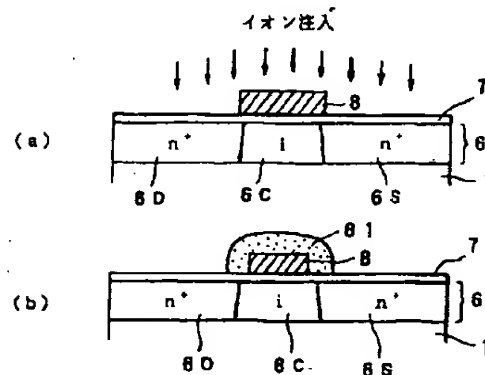
【符号の説明】

1…基板、2…画素部、31、32…周辺回路部、6…半導体薄膜、6C…チャネル領域、6S…ソース領域、6D…ドレイン領域、7…絶縁膜、8…ゲート電極、81…酸化タンタル( $Ta_2O_5$ )の絶縁膜

【図2】



【図3】



特開平05-173179

【例 5】

